

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 100332124 B1
(43)Date of publication of application:
28.03.2002

(21)Application number: 1019950004594
(22)Date of filing: 07.03.1995

(71)Applicant: HYNIX SEMICONDUCTOR
INC.
(72)Inventor: EOM, GEUM YONG

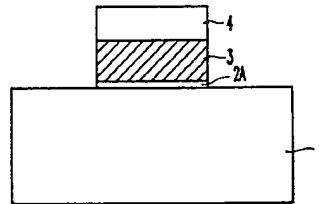
(51)Int. Cl H01L 21/31

(54) METHOD FOR FORMING GATE ELECTRODE IN SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for forming a gate electrode in a semiconductor device is provided to improve properties of a gate oxide layer by annealing the gate oxide layer under the temperature for inactivation of fluorine(F).

CONSTITUTION: After forming a gate oxide layer(2A) on a silicon substrate(1), a polysilicon layer(3) and a tungsten silicide layer(4) are sequentially formed on the gate oxide layer. A gate electrode is formed by sequentially patterning the tungsten silicide layer(4), the polysilicon layer(3) and the gate oxide layer(2A). The gate electrode is then annealed at the temperature of 750-850 °C in N₂O gas atmosphere, wherein fluorine(F) is inactivated.



© KIPO 2003

Legal Status

Date of request for an examination (19990903)
Final disposal of an application (registration)
Date of final disposal of an application (20020124)
Patent registration number (1003321240000)
Date of registration (20020328)

THIS PAGE BLANK (USPTO)

(19) 대한민국특허청 (KR)
(12) 등록특허공보 (B1)

(51) 。 Int. Cl. 6
H01L 21/31

(45) 공고일자 2002년09월04일
(11) 등록번호 10 - 0332124
(24) 등록일자 2002년03월28일

(21) 출원번호 10 - 1995 - 0004594
(22) 출원일자 1995년03월07일

(65) 공개번호 특1996 - 0035875
(43) 공개일자 1996년10월28일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136 - 1

(72) 발명자 엄금용
경기도이천군부발읍아미리현대사원아파트109 - 504

(74) 대리인 신영무
최승민

심사관 : 신창우

(54) 반도체소자의 게이트전극형성방법

요약

본 발명은 반도체 소자의 게이트전극 형성방법에 관한 것으로, 텅스텐폴리사이드(Tungsten Polycide) 게이트전극을 형성함에 있어, 텅스텐실리사이드(WSi_2) 증착시 생성된 불소가 후속열처리공정시 게이트산화막쪽으로 확산되는 것을 방지하기 위하여 게이트전극형성 후 불소(F)가 활성화되지 않는 온도범위내에서 열처리함으로써 게이트산화막의 특성이 향상될 수 있도록 한 반도체 소자의 게이트전극 형성방법에 관한 것이다.

대표도

※선택도 : 제 2 도

명세서

도면의 간단한 설명

제 1 도는 종래 반도체 소자의 게이트전극 형성방법을 설명하기 위한 소자의 단면도.

제 2 도는 본 발명에 따른 반도체 소자의 게이트전극 형성방법을 설명하기 위한 소자의 단면도.

* 도면의 주요 부분에 대한 부호의 설명 *

1; 실리콘기판 2 및 2A: 게이트산화막

3: 폴리실리콘층 4: 텅스텐실리사이드층

발명의 상세한 설명

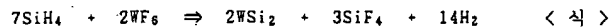
발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 게이트전극 형성방법에 관한 것으로, 특히 텅스텐폴리사이드(Tungsten Polycide) 게이트전극을 형성함에 있어, 게이트전극형성 후 불소(F)가 활성화되지 않는 온도범위내에서 열처리함으로써 게이트산화막의 특성이 향상될 수 있도록 한 반도체 소자의 게이트전극 형성방법에 관한 것이다.

일반적으로 반도체 소자의 게이트전극은 게이트산화막 및 폴리실리콘이 적층된 구조로 형성되는데, 소자가 고집적화됨에 따라 게이트산화막/폴리실리콘/텅스텐실리사이드(WSi_2)가 적층된 텅스텐폴리사이드 구조로 형성되어진다. 이는 판저항(Sheet Resistance)을 수 내지 수십 옴으로 조절할 수 있어 초고집적 반도체 소자의 제조에 이용할 수 있기 때문이다. 그러면 종래 텅스텐폴리사이드 구조의 게이트전극 형성방법을 제 1 도를 통해 설명하면 다음과 같다.

종래 텅스텐폴리사이드 구조의 게이트전극 형성방법은 제 1 도에 도시된 바와같이 실리콘기판(1)상에 게이트산화막(2), 폴리실리콘층(3) 및 텅스텐실리사이드층(4)을 순차적으로 형성한 후 상기 텅스텐실리사이드층(4), 폴리실리콘층(3) 및 게이트산화막(2)을 순차적으로 패터닝하여 게이트전극을 형성한다. 이후 약 $900^{\circ}C$ 의 고온 및 N_2 가스분위기하에서 약 20분간 열처리공정을 실시하여 상기 텅스텐실리사이드(4)를 결정화시키는데, 텅스텐실리사이드(WSi_2)는 하기의 < 식 > 과 같이 증착시 불소(F)를 생성하며, 이 불소는 약 $900^{\circ}C$ 의 온도에서 활성화되기 때문에 생성된 불소가 열처리 공정시 게이트산화막(2)쪽으로 확산된다.



상기 < 식 > 에서와 같이 생성된 불소(F)는 $900^{\circ}C$ 정도의 온도에서 외부로 확산되는 성질보다 내부로 확산되는 성질이 강하여 게이트산화막(2)쪽으로 침투되며, 이는 게이트산화막(2)의 두께를 증가시키고 항복(Breakdown)전압특성을 저하시킨다. 또한 잔여 불소는 실리콘기판(Si ;1)과 게이트산화막(SiO_2 ;2)의 계면에 잔류되어 트랩사이트(Trap Site)로 작용하며, 이는 소자의 신뢰성을 저하시키는 원인이 된다.

따라서 본 발명은 게이트전극형성 후 불소(F)가 활성화되지 않는 온도범위내에서 열처리함으로써 상기한 단점을 해소할 수 있는 반도체 소자의 게이트전극 형성방법을 제공하는데 그 목적이 있다.

상기한 목적을 달성하기 위한 본 발명은 실리콘기판상에 게이트산화막을 형성하고 그 상부에 폴리실리콘층 및 텅스텐실리사이드층을 순차적으로 형성하는 단계와, 상기 단계로부터 상기 텅스텐실리사이드층, 폴리실리콘층 및 게이트산화막을 순차적으로 패터닝하여 게이트전극을 형성한 후 불소가 활성화되지 않는 온도범위 및 N_2O 가스분위기에서 소정시간 동안 열처리공정을 실시하는 단계로 이루어지는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

제 2 도는 본 발명에 따른 반도체 소자의 게이트전극 형성방법을 설명하기 위한 소자의 단면도로서,

제 2 도는 산화공정을 실시하여 실리콘기판(1)상에 게이트산화막(2A)을 형성하고 그 상부에 폴리실리콘층(3) 및 텅스텐실리사이드층(4)을 순차적으로 형성한 다음 상기 텅스텐실리사이드층(4), 폴리실리콘층(3) 및 게이트산화막(2A)을 순차적으로 패터닝하여 게이트전극을 형성한 상태의 단면도이며, 이후 상기 텅스텐실리사이드층(4)을 결정화시키기 위해 750내지 850℃온도 및 460 내지 520 sccm의 N_2O 가스분위기에서 2.5 내지 3.5시간동안 열처리공정을 실시한다. 상기 열처리공정은 텅스텐실리사이드 증착시 생성된 불소(F)가 게이트산화막쪽으로 확산되는 것을 방지하기 위하여 불소가 활성화되지 않는 온도범위내에서 실시하는 것이며, 이때 혹시 적은 양의 불소가 확산되더라도 상기 N_2O 가스에 의해 실리콘기판에는 실리콘-N 본드(Si-N bond)가 형성되어 불소에 대한 방어벽(Blocking)역할을 하게 된다. 또한 상기 N_2O 가스는 실리콘기판과 게이트산화막의 계면에서 트랩사이트에 대한 반응소오스(Source)로 작용하여 소자의 신뢰성저하를 방지한다.

상술한 바와같이 본 발명에 의하면 게이트전극형성 후 불소(F)가 활성화되지 않는 온도범위내에서 열처리함으로써 게이트산화막의 두께증가 및 항복전압특성의 저하를 방지하며 소자의 신뢰성을 향상시킬 수 있는 탁월한 효과가 있다.

(57) 청구의 범위

청구항 1.

실리콘기판 상에 게이트산화막을 형성하고, 그 상부에 폴리실리콘층 및 텅스텐실리사이드층을 순차적으로 형성하는 단계; 및

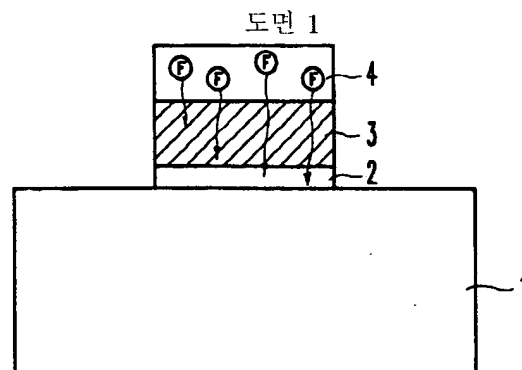
상기 텅스텐실리사이드층, 폴리실리콘층 및 게이트산화막을 순차적으로 패터닝하여 게이트전극을 형성한 후, 불소가 활성화되지 않도록 750 내지 850℃의 온도와 N_2O 가스분위기에서 소정 시간동안 열처리공정을 실시하는 단계로 이루어지는 것을 특징으로 하는 반도체 소자의 게이트전극 형성방법.

청구항 2.

제 1 항에 있어서,

상기 열처리공정은 2.5 내지 3.5시간동안 실시되며, 상기 N_2O 가스량은 460내지 520sccm인 것을 특징으로 하는 반도체 소자의 게이트전극 형성방법.

도면



도면 2

